

⑤ Int. Cl.	識別記号	庁内整理番号	⑬ 公開 昭和63年(1988)12月7日
G 06 F 1/04		7157-5B	
G 11 C 11/34	3 5 4	C-8522-5B	
H 03 K 5/00		Z-7631-5J	
// H 03 K 19/096		Z-8326-5J	審査請求 未請求 請求項の数 12 (全7頁)

⑭ 発明の名称 集積回路

⑮ 特 願 昭63-94385

⑯ 出 願 昭63(1988)4月15日

優先権主張 ⑰ 1987年5月20日 ⑱ 米国(US) ⑲ 052,623

⑳ 発 明 者 ドナルド・エム・ウォ
ルターズ・ジュニア アメリカ合衆国、テキサス州、オースティン イー・オウ
ルトーフ、1730、ナンバー・302

㉑ 発 明 者 ジギー・バロー アメリカ合衆国、テキサス州、オースティン ディープ・
サークル、6909・エイ

㉒ 出 願 人 アドバンスト・マイク
ロ・デバイス・イ アメリカ合衆国、カリフォルニア州、サニイベイル ビ
ンコーポレーテッド イ・オウ・ボツシス・3453、トンブソン・プレイス、901

㉓ 代 理 人 弁理士 深見 久郎 外2名

明 細 書

1. 発明の名称

集積回路

2. 特許請求の範囲

(1) 第1の外部クロック信号を受信するよう
に接続される入力パッドと、

前記第1のクロック信号にตอบสนองして内部システ
ムクロック信号を発生するための入力クロック発
生器手段と、

前記入力クロック発生器手段を選択的に可能化
または不能化するための手段と、

前記内部システムクロック信号を受信するよう
にかつ他の集積回路に前記内部システムクロック
信号を供給するように接続される入力/出力パッ
ドと、

前記内部システムクロック信号にตอบสนองして、前
記入力クロック発生器手段が可能化されると第1
の内部位相クロック信号と第1の内部位相クロッ
ク信号に相補的である第2の内部位相クロック信
号とを発生するための内部クロック発生器手段と

を含み、

前記入力/出力パッドは前記入力クロック発生
器手段が不能化されると第2の外部システムクロ
ック信号を受信するようにさらに接続され、さら
に

前記内部クロック発生器手段は前記第2の外部
システムクロック信号にตอบสนองして、前記入力クロ
ック発生器手段が不能化されると前記第1および
第2の内部位相クロック信号を発生する、集積回
路。

(2) 前記入力クロック発生器手段が入力お
よび出力を有する入力クロック発生器回路と入力
および出力を有するクロック発生器ドライバ回路
とを含む、請求項1に記載の集積回路。

(3) 前記入力クロック発生器回路はその入
力が前記入力パッドに接続され、さらに前記クロ
ック発生器ドライバ回路はその入力が入力パッドに
接続されかつその出力が前記入力/出力パッドに
接続される、請求項2
に記載の集積回路。

(4) 前記内部クロック発生器手段が内部クロック発生器回路を含む、請求項1に記載の集積回路。

(5) 前記入力クロック発生器手段を選択的に可能化または不能化するための前記手段がクロック出力可能化回路を含む、請求項1に記載の集積回路。

(6) 前記第1の外部クロック信号がTTLレベルクロック信号である、請求項1に記載の集積回路。

(7) 前記内部クロック信号がCMOSレベルシステムクロック信号である、請求項6に記載の集積回路。

(8) 前記第2の外部クロック信号が共通のCMOSレベルシステムクロック信号である、請求項7に記載の集積回路。

(9) 前記内部クロック信号かまたは前記第2の外部クロック信号のいずれかに応答するタイミング回路手段をさらに含む、請求項1に記載の集積回路。

ルシステムクロック信号を受信するようにさらに接続され、さらに

前記内部クロック発生器手段は前記共通の外部CMOSレベルシステムクロック信号に応答して、前記入力クロック発生器手段が不能化されると前記第1および第2の内部CMOSレベル位相クロック信号を発生する、集積回路。

(11) 自己クロッキング構成で接続される複数個の集積回路をさらに含む、その結果集積回路の1つがTTLレベルクロック信号に応答して内部CMOSレベルシステムクロック信号を生じ、さらに残余の集積回路が内部CMOSレベルシステムクロック信号に応答する、請求項10に記載の集積回路。

(12) 共通の外部クロック構成で接続される複数個の集積回路をさらに含む、その結果前記複数個の集積回路の各々が共通の外部CMOSレベルシステムクロック信号に応答する、請求項10に記載の集積回路。

3. 発明の詳細な説明

(10) 外部TTLレベルクロック信号を受信するように接続される入力パッドと、

前記TTLレベルクロック信号に応答して内部CMOSレベルシステムクロック信号を発生するための入力クロック発生器手段と、

前記入力クロック発生器手段を選択的に可能化または不能化するための手段と、

前記内部CMOSレベルシステムクロック信号を受信するようにかつ他の集積回路に前記内部システムクロック信号を供給するように接続される入力/出力パッドと、

前記内部CMOSレベルシステムクロック信号に応答して、前記入力クロック発生器手段が可能化されると第1の内部CMOSレベル位相クロック信号と第1の内部CMOSレベル位相クロック信号に相補的である第2の内部CMOSレベル位相クロック信号とを発生するための内部クロック発生器手段とを含み、

前記入力/出力パッドは前記入力クロック発生器手段が不能化されると共通の外部CMOSレベ

発明の背景

この発明は一般に集積回路とともに使用するためのタイミングまたはクロッキング回路に関するものであり、特に、外部TTLレベルクロック信号に応答して内部CMOSレベルシステムクロック信号を発生するための入力クロック発生器回路と、内部CMOSレベルシステムクロック信号かまたは外部CMOSレベルシステムクロック信号のいずれかに応答して内部CMOS位相クロック信号を発生するための内部クロック発生器回路とを含む集積回路に関するものである。

高速マイクロプロセッサおよび他のデジタルシステムの動作で必要とされる種々の型の論理機能を実現する際の使用に利用可能であるいくつかの群の論理回路が存在する。たとえば、従来のトランジスタトランジスタ論理(TTL)においては2進「1」および「0」に対応する論理値は通常は2.0ボルトよりも大きい高レベル電圧と0.8ボルトよりも小さい低レベル電圧とにより表わされる。他方、相補形金属酸化物半導体(CMO

S) 論理回路はそれぞれの2進「1」および「0」状態に対し5ボルトないし0ボルトのより大きな電圧の揺れを有する。したがって、これら電圧レベルは互換性がなく、所要の電圧レベルの変換を実施するのにインターフェイスすなわちバッファ回路が必要となる。さらに、これら種々の型の論理回路はマイクロプロセッサの動作において異なる信号のタイミングと制御で何度も使用されるので、そのような種々の論理回路はまたそれら自体のクロック信号を必要とする。結果として、TTL論理回路に対するTTLレベルクロック信号およびCMOS論理回路に対するCMOSレベルクロック信号のような異なるクロック信号が同様に互換性がない。

それゆえ、TTLレベルクロック信号とCMOSレベルクロック信号の間で所要の互換性を得るためにそれらの間にインターフェイス回路を設けることがまた一般に必要となる。しかしながらこの方法は、変換が必要となるごとに伝播遅延が増加し、システムクロックに関連して測定されると

きに出力信号遅延および入力データ「保持時間」のような領域において集積回路性能を果たすという不利を被る。TTLレベルクロック信号で通過する別の問題は、それらがスキューになりがちである、すなわちクロックパルスの衝撃係数が50%オンタイムおよび50%オフタイムとは異なり、それによりその動作性能に影響を及ぼすことである。

それゆえ外部TTLレベルクロック信号にตอบสนองしてそれ自身が使用しかつ他の集積回路が使用するための内部CMOSレベルシステムクロック信号を発生する入力クロック発生器回路と、内部CMOSレベルシステムクロック信号かまたは外部CMOSレベルシステムクロック信号のいずれかにตอบสนองしてそれ自体が使用するための内部CMOS位相クロック信号を発生する内部クロック発生器回路とを含む集積回路を提供することは望ましいであろう。その結果として、高速動作が達成され、かつ外部クロック信号と内部クロック信号の間の伝播遅延が最小にされている。

発明の概要

したがって、この発明の一般的な目的は、外部TTLレベルクロック信号と外部CMOSレベルシステムクロック信号の両方と互換性がある集積回路を提供することである。

この発明の目的は、外部TTLレベルクロック信号にตอบสนองしてそれ自体が使用しかつ他の集積回路が使用するための内部CMOSレベルシステムクロック信号を発生するための入力クロック発生器回路を含む集積回路を提供することである。

この発明の別な目的は、内部CMOSレベルシステムクロック信号かまたは外部CMOSレベルシステムクロック信号のいずれかにตอบสนองしてそれ自体が使用するための内部CMOS位相クロック信号を発生するための内部クロック発生器回路を含む集積回路を提供することである。

これら目標および目的に従えば、この発明は入力パッド、入力クロック発生器回路、入力/出力パッド、可飽化回路、および内部クロック発生器回路を含む集積回路の提供に関連する。入力パッ

ドは外部TTLレベルクロック信号を受信するように接続される。入力クロック発生器回路はTTLレベルクロック信号にตอบสนองして内部CMOSレベルシステムクロック信号を発生する。可飽化回路は入力クロック発生器回路を選択的に可飽化および不能化するために使用される。入力/出力パッドは内部CMOSレベルシステムクロック信号を受信するように接続される。内部クロック発生器回路は内部CMOSレベルシステムクロック信号にตอบสนองして、入力クロック発生器手段が可飽化されると、第1の内部CMOSレベル位相クロック信号と第1の内部CMOS位相クロック信号に対し相補的である第2の内部CMOSレベル位相クロック信号とを発生する。入力/出力パッドはまた入力クロック発生器回路が不能化されると外部CMOSレベルシステムクロック信号を受信するように接続される。内部クロック発生器回路は外部CMOSレベルシステムクロック信号にตอบสนองして入力クロック発生器が不能化されると第1および第2の内部CMOSレベル位相クロック信号

を発生する。

この発明のこれらおよび他の目的および利点は、同じ参照番号が全体を通して対応する部分を示す添付の図面に関連して読まれると、次の詳細な説明からより十分に明らかとなるであろう。

好ましい実施例の説明

ここで図面を参照すると、第1図にはこの発明に従って構成された集積回路チップすなわちデバイス8の一部のブロック図が示されている。集積回路デバイス8はその周辺に設置されて外部TTLクロック信号C1を受信する入力パッド1を含む。TTLレベルクロック信号は0.8ボルトと2.0ボルトの間で電圧の揺れを有し、さらに16から70MHzの間の典型的な動作周波数を有する。この集積回路デバイスはまた、その周辺に設置されて外部TTLレベルクロック信号C1が入力パッド1に与えられると他の集積回路が使用するための内部発生CMOSレベルシステムクロック信号C2を伝送する入力/出力パッド3を含む。したがって、パッド3はこの状態におい

て出力パッドとして機能している。TTLレベルクロック信号C1が与えられていないと、パッド3は別な集積回路デバイスから外部CMOSレベルシステムクロック信号C3を受信するために使用される。この状態で、パッド3は入力パッドとして機能している。CMOSレベルクロック信号C2およびC3は0ボルトと5.0ボルトの間で名目の電圧の揺れを有し、さらに50%の衝撃係数で8から35MHzの間の典型的な動作周波数を有する。こうしてわかるように、CMOSレベルクロック信号はTTLレベルクロック信号の2分の1の周波数で動作される。しかしながら、TTLレベルクロック信号はCMOSレベルクロック信号として8ないし35MHzの同一周波数で動作され得ることが理解されるべきである。さらに、TTLクロック信号は典型的には50%衝撃係数からいずれの方向へもスキューされ得ることが理解されるべきである。

集積回路デバイスすなわちチップ8は、その入力がライン11により入力パッド1に接続されて

外部TTLレベルクロック信号C1を受信する入力クロック発生器回路10を含む。発生器回路10はレベル変換を実施し、ライン13でのその出力で50%衝撃係数でTTLレベルクロック信号を内部発生CMOSレベルシステムクロック信号C2に変換する。ライン13上の内部CMOSレベルシステムクロック信号C2はクロック発生器ドライバ回路14の入力に送られ、このドライバ回路14はこのクロック信号C2を増幅するために使用され、それをライン15を介して出力パッド3に送る。

集積回路デバイス8は、その入力がライン9により入力パッド2に接続されて制御信号C4を受信するクロック出力可能化回路12をさらに含む。出力可能化回路12は制御信号C4に反応し、ライン7で出力信号を発生してクロック発生器ドライバ回路14を選択的に可能化または不能化する。パッド2に与えられた制御信号C4がハイレベルにあると、ライン7上の出力信号は発生器ドライバ回路14の動作を可能化するであろう。パッド

2に与えられた制御信号C4がローレベルにあると、ライン7上の出力信号はドライバ回路14の動作を不能化するであろう。ドライバ回路14が可能化されると、内部発生CMOSレベルシステムクロック信号C2はドライバ回路14を介して他の集積回路デバイスが使用するようにそれを伝送するための入力/出力パッド3に送られる。

集積回路デバイス8は、その入力がライン15上のノードAに接続されてドライバ回路14が可能化されると内部発生CMOSレベルシステムクロック信号C2を受取るか、あるいはドライバ回路14が不能化されると外部CMOSレベルシステムクロック信号C3を受信する、内部クロック発生器回路16をさらに含む。したがって、内部クロック発生器回路16は動作のモードに依存するシステムクロック信号C2かC3のいずれかに応答する。発生器回路16は、ライン20で第1の内部CMOSレベル位相クロック信号φ1を生じ、さらにライン22で位相クロック信号φ1に相補的である第2の内部CMOSレベル位相クロ

ック信号 $\phi 2$ を生じるように機能する。位相クロック信号 $\phi 1$ および $\phi 2$ は同じ集積回路チップ8内に設置される他の内部回路により使用される。

集積回路デバイス8は、システムクロック信号C2かC3のいずれかもまた受信するタイミング回路18をさらに含む。タイミング回路18は同じ集積回路チップに配置される他の集積回路が使用するためのタイミング信号をライン19で発生するために使用される。

動作の第1のモードでは、ドライバ回路14が可能化され、TTLレベルクロック信号C1が入力パッド1に与えられる。この状態では、発生器回路10の出力は、入力/出力パッド3に内部発生CMOSレベルシステムクロック信号C2を供給して他の集積回路を駆動するために、かつ内部クロック発生器回路16とタイミング回路18の入力を直接的に駆動するために使用される。動作の第2のモードにおいては、ドライバ回路14は不能化され、外部CMOSレベルシステムクロック信号C3は入力/出力パッド3に与えられる。

クロック発生器回路16および/またはタイミング回路18を駆動するために使用される。集積回路IC2ないしICNに設置される発生器回路16は、CMOSレベル位相クロック信号 $\phi 1$ および $\phi 2$ を生じて、同じ対応するチップに配置される他の集積回路を駆動するために使用される。思い出されるだろうが、集積回路IC1もまた、同じCMOSレベルシステムクロック信号C2を受信する内部クロック発生器回路16を有し、さらにCMOSレベル位相クロック信号 $\phi 1$ および $\phi 2$ を生じてチップIC1内に設置される他の内部回路を駆動するために使用される。それゆえ、ライン26上のCMOSレベルクロック信号C2またはC3と種々のチップ上の内部クロック(CMOSレベルシステムクロック信号 $\phi 1$ 、 $\phi 2$ およびライン19上の信号)との間には最小の遅延しか存在しなくなり、その理由は各チップがそれ自体の内部クロック発生器16を含んでそれぞれの位相クロック信号 $\phi 1$ および $\phi 2$ を生じるからである。この自己クロッキング構成においては、集積

この状態では、外部CMOSレベルシステムクロック信号C3は内部クロック発生器回路16とタイミング回路18の入力を駆動するために使用される。

第2図では、自己クロッキング構成で接続される複数の集積回路IC1、IC2、...ICNが示されている。集積回路IC2ないしICNの各々は第1図の集積回路チップすなわちデバイス8と全く同一に構成されて、パッド1、2および3を有するかまたはシステムクロックパッド3のみを有する。集積回路IC1はそのパッド1がライン24上の外部TTLレベルクロック信号C1を受信するように接続される。集積回路IC1は入力クロック発生器回路10を有して内部発生CMOSレベルシステムクロック信号C2を生じ、この信号C2はそのパッド3からライン26へ送り出される。他の集積回路IC2ないしICNの各々はライン26を介してそのパッド3でCMOSレベルシステムクロック信号C2を受信し、この信号C2は各チップに設置される対応する内部

回路IC1上のパッド2は可能化される唯一のパッドとなることが認められるであろう。他の残余の集積回路IC2ないしICNは各々そのパッド2が接地電位に接続されてそのクロック出力可能化回路12を不能化する。

ここで第2図の自己クロッキング構成の種々の点で現われる波形を例示する図面の第5図(A)ないし(E)を参照する。外部TTLレベルクロック信号C1はライン24を介して集積回路IC1のパッド1に与えられ、それは第5図(A)に示されている。内部発生CMOSレベルシステムクロック信号C2は集積回路IC1のパッド3とライン26上で生じられる。このクロック信号C2は第5図(C)に例示されている。チップIC1、IC2ないしICNの各々での内部CMOS位相クロック信号 $\phi 1$ および $\phi 2$ はそれぞれ第5図(D)および第5図(E)に描かれている。

第3図において、共に共通の外部クロック構成で接続される複数の集積回路IC1、IC2ないしICNが示されている。再び集積回路IC1、

IC2ないしICNの各々は第1図の集積回路チップすなわちデバイス8と全く同一に構成され、パッド1、2および3を有するかまたはシステムクロックパッド3のみを有する。集積回路の各々はそのパッド3がライン28に接続されて共通の外部CMOSレベルシステムクロック信号C3を受信する。集積回路の各々の内部クロック発生器回路16はこのクロック信号C3を利用して内部CMOS位相クロック信号φ1およびφ2を生じ、それにより種々のチップ間で伝播遅延とクロックスキューを減じる。この共通の外部クロック構成においては、集積回路の各々のパッド2が低電位に接続されて、それにより集積回路の各々を不能化することが認められるであろう。

ここで第3図の共通の外部クロック構成の種々の点で現われる波形を例示する図面、第6図(A)ないし(C)を参照する。共通の外部CMOSレベルシステムクロック信号C3はライン28を介して集積回路の各々のパッド3に与えられ、それは第6図(A)に例示されている。チップIC1、

うしてわかる。この発明の集積回路は、外部クロック信号と内部クロック信号の間の伝播遅延時間が最小にされているので、高速動作を行なう。

この発明の好ましい実施例であると現在考えられているものが例示されかつ説明されてきたが、この発明の真の範囲から逸脱することなしに種々に変化および変更がなされ得ることおよび同等物がその要素の代わりに使用され得ることが当業者には理解されるであろう。さらに、この発明の教示に特定の状況または材料を適合させるためにその中心の範囲から逸脱することなしに多くの変更がなされ得る。それゆえ、この発明はこの発明を実行するために熟考された最良のモードとして開示された特定の実施例には限定されないこと、しかしこの発明は前掲の特許請求の範囲に入るすべての実施例を含むことが意図されている。

4. 図面の簡単な説明

第1図はこの発明の原理に従って構成された集積回路のブロック図である。

第2図は自己クロッキング構成で接続される、

IC2ないしICNの各々での内部CMOS位相クロック信号φ1およびφ2はそれぞれ第6図(B)および第6図(C)に描かれている。

第1図の入力クロック発生器回路10、クロック出力可能化回路12、クロック発生器ドライバ回路14、内部クロック発生器回路16およびタイミング回路18の種々のブロックは種々の形式を呈し得るが、その適当な回路が第4図に例示されている。この詳細な概略回路図は先の説明から見て当業者には自明のことと思われ、したがって各ブロックの動作についての詳細な検討は不要であると思われる。

先の詳細な説明から、この発明が外部TTLレベルクロック信号に反応して内部CMOSレベルシステムクロック信号を発生するための入力クロック発生器回路と内部CMOSレベルシステムクロック信号または外部CMOSレベルシステムクロック信号のいずれかに反応して内部CMOS位相クロック信号を発生するための内部クロック発生器回路とを含む集積回路を提供することがこ

第1図の複数個の集積回路のブロック図である。

第3図は共通の外部システムクロック構成で接続される、第1図の複数個の集積回路のブロック図である。

第4図は第1図の或るブロックで使用するのに適する回路を示す概略図である。

第5図(A)ないし(E)は第2図の回路構成の種々の点での波形である。

第6図(A)ないし(C)は第3図の回路構成の種々の点での波形である。

図において、1および2は入力パッド、3は入力/出力パッド、10は入力クロック発生器回路、12はクロック出力可能化回路、14はクロック発生器ドライバ回路、16は内部クロック発生器回路、18はタイミング回路である。

特許出願人 アドバンスト・マイクロ・デバイス・インコーポレーテッド

代理人 弁理士 深見久郎

(ほか2名)



